

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001203285 A

(43) Date of publication of application: 27.07.01

(51) Int. Cl

H01L 21/8247  
H01L 29/788  
H01L 29/792  
H01L 27/115

(21) Application number: 2000385231

(22) Date of filing: 19.12.00

(30) Priority: 24.12.99 KR 1999 9961929

(71) Applicant: SAMSUNG ELECTRONICS CO LTD

(72) Inventor: HYUNG-HYON KIM  
HONG CHANGKI  
JOUNG WOO-IN  
KIN BONSHU  
SHIN YUTETSU  
BOKU KEISAN

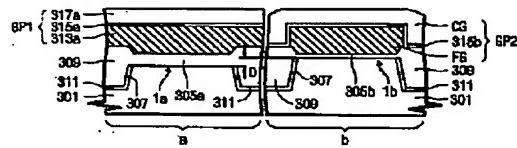
(54) SEMICONDUCTOR DEVICE AND PRODUCING  
METHOD THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a multi-gate insulating film and a producing method therefor.

SOLUTION: This semiconductor device is provided with a device isolation area 307 formed in the prescribed area of a wafer 301 having a main surface, at least one first active area 1a and at least one second active area 1b limited by the device isolation area 307, first gate insulating film 305a formed on the surface of the first active area 1a, second gate insulating film 305b formed on the surface of the second active area 1b while having thickness thinner than the first gate insulating film 305a, and device isolation film 309 covering the entire side walls of the first and second gate insulating films 305a and 305b while filling the device isolation area 307.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-203285  
(P2001-203285A)

(43)公開日 平成13年7月27日(2001.7.27)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/8247  
29/788  
29/792  
27/115

識別記号

F I

テ-マコ-ト(参考)

H O I L 29/78  
27/10

371  
434

審査請求 未請求 請求項の数25 OL (全 18 頁)

(21)出願番号 特願2000-385231(P2000-385231)  
(22)出願日 平成12年12月19日(2000.12.19)  
(31)優先権主張番号 1999P61929  
(32)優先日 平成11年12月24日(1999.12.24)  
(33)優先権主張国 韓国(KR)

(71) 出願人 390019839  
三星電子株式会社  
大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 金 ▲炳▼顯  
大韓民国ソウル市東灼区上道1洞810番地

(72) 発明者 洪 昌基  
大韓民国京畿道龍仁市起興邑農西里山24番地

(72) 発明者 鄭 佑仁  
大韓民国ソウル市宋波区巨汝洞現代1次ア  
パート106棟1402号

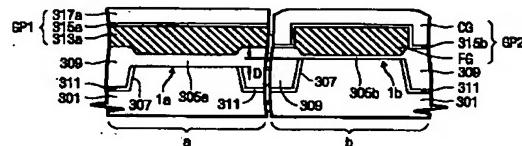
(74) 代理人 100093779  
弁理士 服部 雅紀

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】 多重ゲート絶縁膜を有する半導体素子及びその製造方法を提供する。

【解決手段】 半導体素子は主表面を有する半導体基板301の所定領域に形成された素子分離領域307と、素子分離領域307により限定された少なくとも一つの第1活性領域1a及び少なくとも一つの第2活性領域1bと、第1活性領域1aの表面に形成された第1ゲート絶縁膜305aと、第2活性領域1bの表面に形成されて第1ゲート絶縁膜305aより薄い厚みを有する第2ゲート絶縁膜305bと、素子分離領域307を充填して第1及び第2ゲート絶縁膜305a及び305bの側壁の全体を覆う素子分離膜309とを備える。



## 【特許請求の範囲】

【請求項1】 半導体基板の所定領域に限定され、前記半導体基板の主表面より低表面を有する少なくとも一つの第1活性領域及び前記第1活性領域の表面より高表面を有する少なくとも一つの第2活性領域で構成された複数の活性領域と、

前記第1活性領域上に形成された第1ゲート絶縁膜と、前記第2活性領域上に形成され、前記第1ゲート絶縁膜より薄膜を有する第2ゲート絶縁膜と、

前記複数の活性領域間の半導体基板に形成され、前記第1活性領域の表面より低い底を有する素子分離領域と、前記素子分離領域を充填し、前記第1ゲート絶縁膜の側壁全体及び前記第2ゲート絶縁膜の側壁全体を覆う素子分離膜と、

を備えることを特徴とする半導体素子。

【請求項2】 前記第1ゲート絶縁膜の上部面及び前記第2ゲート絶縁膜の上部面の段差は、前記第1ゲート絶縁膜及び前記第2ゲート絶縁膜の厚み差の1/2より小さいことを特徴とする請求項1に記載の半導体素子。

【請求項3】 前記素子分離膜の表面は、前記第1及び第2ゲート絶縁膜のうち最高のゲート絶縁膜の上部面と同等の高さを有することを特徴とする請求項2に記載の半導体素子。

【請求項4】 前記素子分離領域は、トレンチ領域であることを特徴とする請求項1に記載の半導体素子。

【請求項5】 前記第1活性領域を横切り、前記第1ゲート絶縁膜の所定領域を覆う第1ゲートパターンと、前記第2活性領域を横切り、前記第2ゲート絶縁膜の所定領域を覆う第2ゲートパターンとを附加的に含むことを特徴とする請求項1に記載の半導体素子。

【請求項6】 前記第1ゲートパターンは、順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極で構成されたことを特徴とする請求項5に記載の半導体素子。

【請求項7】 前記第2ゲートパターンは、順次に積層された第2ゲート電極、第2ゲート層間絶縁膜及び第2ダミーゲート電極で構成されたことを特徴とする請求項5に記載の半導体素子。

【請求項8】 前記第2ゲートパターンは、順次に積層された浮遊ゲート、第2ゲート層間絶縁膜及び制御ゲート電極で構成されたことを特徴とする請求項5に記載の半導体素子。

【請求項9】 半導体基板の所定領域に前記半導体基板の主表面より低い下部面を有する第1ゲート絶縁膜を形成する段階と、

前記第1ゲート絶縁膜と隣接した半導体基板の主表面に前記第1ゲート絶縁膜より薄く、前記第1ゲート絶縁膜の下部面より高い下部面を有する第2ゲート絶縁膜を形成する段階と、

前記第1及び第2ゲート絶縁膜が形成された結果物全面

に第1導電膜及び化学機械的研磨阻止膜を順次に形成する段階と、

前記化学機械的研磨阻止膜、前記第1導電膜、前記第1及び第2ゲート絶縁膜及び前記半導体基板を連続的にパターニングして前記第1ゲート絶縁膜の下部及び前記第2ゲート絶縁膜の下部に各々第1及び第2活性領域を限定するトレンチ領域を形成することと同時に前記各活性領域の上部に順次に積層された第1導電膜パターン及び化学機械的研磨阻止膜パターンを形成する段階と、

10 前記トレンチ領域内に絶縁体膜パターンを形成する段階と、

前記化学機械的研磨阻止膜パターンを除去する段階と、前記絶縁体膜パターンをリセスさせて素子分離膜を形成する段階とを含み、

前記素子分離膜は前記第1及び第2ゲート絶縁膜の側壁全体を覆うことと特徴とする半導体素子の製造方法。

【請求項10】 前記第1及び第2ゲート絶縁膜を形成する段階は、

前記半導体基板全面にパッド酸化膜及びパッド窒化膜を順次に形成する段階と、

20 前記パッド窒化膜及び前記パッド酸化膜を連続的にパターニングして前記半導体基板の第1領域を露出させる段階と、

前記パターニングされたパッド窒化膜を有する結果物を熱酸化させて前記第1領域の表面に第1ゲート酸化膜を形成する段階と、

前記パターニングされたパッド窒化膜及び前記パターニングされたパッド酸化膜を除去して前記パターニングされたパッド酸化膜により覆われた第2領域を露出させる段階と、

30 前記パターニングされたパッド酸化膜が除去された結果物を熱酸化させて前記第2領域の表面に前記第1ゲート酸化膜より薄い第2ゲート酸化膜を形成する段階とを含むことを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項11】 前記第1導電膜は、ドーピングされたポリシリコン膜に形成することを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項12】 前記化学機械的研磨阻止膜は、シリコン窒化膜に形成することを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項13】 前記絶縁体膜パターンを形成する段階は、

前記トレンチ領域が形成された結果物全面に前記トレンチ領域を充填する絶縁体膜を形成する段階と、

前記化学機械的研磨阻止膜パターンの上部表面が露出されるまで前記絶縁体膜を平坦化させる段階とを含むことを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項14】 前記絶縁体膜を平坦化させる段階は、化学機械的研磨工程を使用して実施されることを特徴と

する請求項13に記載の半導体素子の製造方法。

【請求項15】 前記絶縁体膜パターンをリセスさせる段階は、前記各第1導電膜パターンの側壁が露出されるまで実施されることを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項16】 前記第1活性領域を横切り、前記第1ゲート絶縁膜上の前記第1導電膜パターンの一部を含む第1ゲートパターンを形成する段階と、

前記第2活性領域を横切り、前記第2ゲート絶縁膜上の前記第1導電膜パターンの一部を含む第2ゲートパターンを形成する段階とを附加的に含むことを特徴とする請求項9に記載の半導体素子の製造方法。

【請求項17】 前記第1及び第2ゲートパターンを形成する段階は、前記素子分離膜が形成された結果物全面に第2導電膜、ゲート層間絶縁膜及び第3導電膜を順次に形成する段階と、

前記第3導電膜、前記ゲート層間絶縁膜、前記第2導電膜及び前記第1導電膜パターンを連続的にパターニングし、前記第1ゲート絶縁膜の所定領域上に順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極を形成すると同時に前記第2ゲート絶縁膜の所定領域上に順次に積層された第2ゲート電極、第2ゲート層間絶縁膜及び第2ダミーゲート電極を形成する段階とを含むことを特徴とする請求項16に記載の半導体素子の製造方法。

【請求項18】 前記第1及び第2ゲートパターンを形成する段階は、

前記素子分離膜が形成された結果物全面に第2導電膜を形成する段階と、

前記第2導電膜をパターニングして前記第2活性領域周辺の前記素子分離膜を露出させる第2導電膜パターンを形成する段階と、

前記第2導電膜パターンを有する結果物全面にゲート層間絶縁膜及び第3導電膜を順次に形成する段階と、

前記第3導電膜、前記ゲート層間絶縁膜、前記第2導電膜パターン及び前記第1導電膜パターンを連続的にパターニングし、前記第1ゲート絶縁膜の所定領域上に順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極を形成すると同時に前記第2ゲート絶縁膜の所定領域上に順次に積層された浮遊ゲート、第2ゲート層間絶縁膜及び制御ゲート電極を形成する段階とを含むことを特徴とする請求項16に記載の半導体素子の製造方法。

【請求項19】 半導体基板上に複数のパッドパターンを形成する段階と、

前記パッドパターンをエッチングマスクとして使用して前記半導体基板をエッチングして少なくとも一つの第1活性領域及び少なくとも一つの第2活性領域を限定するトレンチ領域を形成する段階と、

前記トレンチ領域を充填する絶縁体膜パターンを形成する段階と、

前記第1活性領域上の前記パッドパターンを除去して前記第1活性領域を選択的に露出させる段階と、

前記第1活性領域の表面に前記第2活性領域の表面より低い下部面を有する第1ゲート絶縁膜を形成する段階と、

前記第2活性領域上の前記パッドパターンを除去して前記第2活性領域を選択的に露出させる段階と、

10 前記第2活性領域の表面に前記第1ゲート絶縁膜より薄く、前記第1ゲート絶縁膜の下部面より高い下部面を有する第2ゲート絶縁膜を形成する段階と、

を含むことを特徴とする半導体素子の製造方法。

【請求項20】 前記第1ゲート絶縁膜は、前記露出された第1活性領域表面を熱酸化させて形成することを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項21】 前記第1ゲート絶縁膜を形成する段階は、

前記第1活性領域表面を熱酸化させて前記第1活性領域上に第1厚みを有する熱酸化膜を形成する段階と、

20 前記熱酸化膜を湿式エッチングして前記第1厚さより薄い第2厚みを有する熱酸化膜を形成する段階とを含むことを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項22】 前記第2ゲート絶縁膜は、前記第2活性領域表面を熱酸化させて形成することを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項23】 前記第1ゲート絶縁膜の所定領域上に前記第1活性領域を横切る第1ゲートパターンを形成する段階と、

30 前記第2ゲート絶縁膜の所定領域上に前記第2活性領域を横切る第2ゲートパターンを形成する段階とを附加的に含むことを特徴とする請求項19に記載の半導体素子の製造方法。

【請求項24】 前記第1及び第2ゲートパターンを形成する段階は、

前記第1及び第2ゲート絶縁膜が形成された結果物全面に第1導電膜、ゲート層間絶縁膜及び第2導電膜を順次に形成する段階と、

40 前記第2導電膜、前記ゲート層間絶縁膜及び前記第1導電膜を連続的にパターニングし、前記第1ゲート絶縁膜の所定領域上に順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極を形成すると同時に前記第2ゲート絶縁膜の所定領域上に順次に積層された第2ゲート電極、第2ゲート層間絶縁膜及び第2ダミーゲート電極を形成する段階とを含むことを特徴とする請求項23に記載の半導体素子の製造方法。

【請求項25】 前記第1及び第2ゲートパターンを形成する段階は、

50 前記第1及び第2ゲート絶縁膜が形成された結果物全面

に第1導電膜を形成する段階と、

前記第1導電膜をパターニングして前記第2活性領域周辺の前記絶縁体膜パターンを露出させる第1導電膜パターンを形成する段階と、

前記第1導電膜パターンを有する結果物全面にゲート層間絶縁膜及び第2導電膜を順次に形成する段階と、

前記第2導電膜、前記ゲート層間絶縁膜及び前記第1導電膜パターンを連続的にパターニングし、前記第1ゲート絶縁膜の所定領域上に順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極を形成すると同時に前記第2ゲート絶縁膜の所定領域上に順次に積層された浮遊ゲート、第2ゲート層間絶縁膜及び制御ゲート電極を形成する段階とを含むことを特徴とする請求項23に記載の半導体素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、半導体素子及びその製造方法に関するものであり、特に多重ゲート絶縁膜を有する半導体素子及びその製造方法に関するものである。

##### 【0002】

【従来の技術】半導体メモリ素子又は半導体論理素子 (semiconductor logic device) はMOSトランジスタで構成された集積回路で表現される。一般に、一つの半導体素子内の全てのMOSトランジスタは同一な厚みで形成されたゲート絶縁膜を有する。しかし、フラッシュメモリ素子、EEPROM素子又はEEPROM素子のような不揮発性メモリ素子は読み出しモードで動作する低電圧MOSトランジスタとプログラム及び消去モードで動作する高電圧MOSトランジスタを必要とする。従って、不揮発性メモリ素子チップ内に少なくとも2種類のMOSトランジスタ、即ち低電圧MOSトランジスタ及び高電圧MOSトランジスタを形成しなければならない。

【0003】高電圧MOSトランジスタは、低電圧MOSトランジスタに比べて高電圧により駆動される。従って、高電圧MOSトランジスタは低電圧MOSトランジスタと相違に設計されなければならない。例えば、高電圧MOSトランジスタのゲート絶縁膜は低電圧MOSトランジスタのゲート絶縁膜より厚膜に形成しなければならない。これにより、不揮発性メモリ素子のような半導体メモリ素子を製造するためには少なくとも2種類の厚さを有するゲート絶縁膜、即ち多重ゲート絶縁膜 (multi-gate dielectric layer) が要求される。

【0004】米国特許第5,723,355号は、高電圧トランジスタ、論理トランジスタ及びセルトランジスタを有するエンベデッド不揮発性メモリ素子の製造方法を開示している。この方法は、半導体基板の全面にセルトランジスタ用トンネル酸化膜及び浮遊ゲート用ポリシ

リコン膜を順次に形成する段階と、ポリシリコン膜及びトンネル酸化膜を連続的にパターニングして高電圧トランジスタ領域の半導体基板及び論理トランジスタ領域の半導体基板を露出させる段階と、露出された半導体基板表面に高電圧トランジスタ用ゲート酸化膜を形成する段階と、高電圧トランジスタ用ゲート酸化膜をパターニングして論理トランジスタ領域の半導体基板を露出させる段階と、露出された半導体基板表面に論理トランジスタ用ゲート酸化膜を形成する段階とを含む。

10 【0005】米国特許第5,723,355号によると、セルトランジスタ領域に形成されるトンネル酸化膜がフォトレジストパターンと接触されることが防止できる。従って、セルトランジスタのトンネル酸化膜がフォトレジストパターンに起因して汚染される現象を避けられる。しかし、論理トランジスタ領域を露出させるために高電圧トランジスタ用ゲート酸化膜をパターニングする間高電圧トランジスタ用ゲート酸化膜はフォトレジストパターンと接触される。従って、高電圧トランジスタ用ゲート酸化膜がフォトレジストパターンにより汚染される現象を避けにくい。結果的に、高電圧トランジスタの信頼性を改善しにくい。

【0006】一方、図1は、一般的な多重ゲート絶縁膜を有するメモリ素子の一部分を示した平面図である。ここで、参照符号 “a” 及び “b” で表示した部分は各々周辺回路領域の高電圧トランジスタ領域及びセルアレイ領域を示す。セルアレイ領域 b は周辺回路領域の低電圧トランジスタ領域に該当することもできる。図1を参照すると、高電圧トランジスタ領域 a 及びセルアレイ領域 b に各々少なくとも一つの第1活性領域 1a 及び少なくとも一つの第2活性領域 1b が位置する。第1ゲートパターン GP は第1活性領域 1a を横切る。第1ゲートパターン GP 1 及び第1活性領域 1a の間に第1ゲート絶縁膜が介在される。第1ゲートパターン GP 1 は順次に積層された第1ゲート電極、第1ゲート層間絶縁膜及び第1ダミーゲート電極で構成される。

【0007】又、第2ゲートパターン GP 2 は第2活性領域 1b を横切る。第2ゲートパターン GP 2 は順次に積層された浮遊ゲート FG、第2ゲート層間絶縁膜及び制御ゲート電極 CG で構成される。浮遊ゲート FG 及び40 第2活性領域 1b の間に第2ゲート絶縁膜、即ちトンネル酸化膜が介在される。第2ゲート絶縁膜は第1ゲート絶縁膜より薄い。浮遊ゲート FG は図1に示すように、制御ゲート電極 CG 及び第2活性領域 1b の間に介在される。従って、浮遊ゲート FG を形成するためには2回のパターニング工程が要求される。より詳しく説明すると、浮遊ゲート FG は第2活性領域 1b 周辺の素子分離領域を露出させる浮遊ゲート隔離パターン 3 が描かれたフォトマスクにより1次にパターニングされ、制御ゲート電極 CG が描かれたフォトマスクにより2次にパターニングされる。セルアレイ領域 b が周辺回路領域の

低電圧トランジスタ領域に該当する場合に、第2ゲートパターンG P 2は順次に積層された第2ゲート電極、第2ゲート層間絶縁膜及び第2ダミーゲート電極で構成される。この際、第2ゲート電極は第2ダミーゲート電極と重畳される。

## 【0008】

【発明が解決しようとする課題】図2乃至図12は、自己整列トレンチ素子分離技術 (self-aligned trench isolation technology) を使用する従来の半導体素子の製造方法を説明するための断面図である。各図において、参照符号“a”及び“b”で表示した部分は図1の高電圧トランジスタ領域a及びセルアレイ領域bに該当する。

【0009】図2を参照すると、半導体基板11全面に第1ゲート絶縁膜13、即ち高電圧トランジスタ用ゲート絶縁膜を形成する。第1ゲート絶縁膜13は半導体基板11、例えばシリコン基板を熱酸化させて形成する。第1ゲート絶縁膜13は15ボルト乃至20ボルトのプログラム電圧及び消去電圧に耐えられる高電圧トランジスタに適しているように300Å以上の厚膜に形成する。

【0010】第1ゲート絶縁膜13上に高電圧トランジスタ領域aを覆う第1フォトレジストパターン15を形成する。第1フォトレジストパターン15をエッティングマスクとして使用して第1ゲート絶縁膜13を湿式エッティングしてセルアレイ領域bの半導体基板11を露出させる。図3を参照すると、第1フォトレジストパターンを除去する。第1フォトレジストパターンが除去された結果物を熱酸化させて露出されたセルアレイ領域bの半導体基板11表面に第1ゲート絶縁膜15より薄い第2ゲート絶縁膜17、即ちセルトランジスタのトンネル酸化膜を形成する。第2ゲート絶縁膜17は80Å程度の薄膜に形成する。この際、第1ゲート絶縁膜13及び第2ゲート絶縁膜17の間に表面段差(step difference)Tが発生する。表面段差Tは少なくとも第1ゲート絶縁膜13及び第2ゲート絶縁膜17の間の厚さ差に該当する値を示す。

【0011】第1及び第2ゲート絶縁膜13、17が形成された結果物全面に第1導電膜19及び化学機械的研磨阻止膜21を順次に形成する。第1導電膜19はドーピングされたポリシリコン膜に形成し、化学機械的研磨阻止膜21はシリコン窒化膜に形成する。図4を参照すると、化学機械的研磨阻止膜21及び第1導電膜19を連続的にパターニングして高電圧トランジスタ領域a及びセルアレイ領域bに各々第1パッドパターン及び第2パッドパターンを形成する。第1パッドパターンは高電圧トランジスタ領域aの所定領域上に順次に積層された第1導電膜パターン19a及び化学機械的研磨阻止膜パターン21aで構成される。これと同様に、第2パッドパターンはセルアレイ領域bの所定領域上に順次に積層

された第1導電膜パターン19b及び化学機械的研磨阻止膜パターン21bで構成される。

【0012】第1及び第2パッドパターンをエッティングマスクとして使用してゲート絶縁膜13、17をエッティングして半導体基板11を露出させる。続けて、露出された半導体基板11を乾式エッティングして高電圧トランジスタ領域a及びセルアレイ領域bに各々少なくとも一つの第1活性領域1a及び少なくとも一つの第2活性領域1bを限定するトレンチ領域23を形成する。この際、トレンチ領域23の側壁は一般的に図4に示すように、傾斜したプロファイルを示す。これは、乾式エッティング工程を実施する間、エッティングされた領域の側壁にポリマー等が吸着されるためである。このような現象はトレンチ領域23のアスペクト比率が高いほどさらに酷く現れる。

【0013】トレンチ領域23が形成された結果物を熱酸化させてトレンチ領域23の側壁及び底に熱酸化膜25aを形成する。この際、第1導電膜パターン19a、19bの側壁にも熱酸化膜25bが形成される。熱酸化膜25aはトレンチ領域23を形成する間半導体基板11に加えられたエッティング損傷を治癒するために形成することである。

【0014】図5を参照すると、トレンチ領域23及び熱酸化膜25a、25bが形成された結果物全面にトレンチ領域23を充填する絶縁体膜を形成する。絶縁体膜としては高密度プラズマ酸化膜が広く使用される。高密度プラズマ工程は反復的に実施される蒸着工程及びエッティング工程によりなる。従って、高密度プラズマ工程は優秀なギャップ充填特性(gap filling characteristic)を示す。

【0015】化学機械的研磨阻止膜パターン21a、21bが露出されるまで絶縁体膜を、化学機械的研磨工程を使用して平坦化させてトレンチ領域23内に絶縁体膜パターン27を形成する。この際、高電圧トランジスタ領域aに形成された化学機械的研磨阻止膜パターン21aはセルアレイ領域bに形成された化学機械的研磨阻止膜パターン21bに比べてさらに研磨される。これは、図3で説明したように、第1ゲート絶縁膜13及び第2ゲート絶縁膜17の表面段差Tに起因するためである。

40 従って、高電圧トランジスタ領域aに残存する化学機械的研磨阻止膜パターン21a'はセルアレイ領域bに残存する化学機械的研磨阻止膜パターン21bに比べて薄膜を有する。結果的に、絶縁体膜パターン27の表面から第1ゲート絶縁膜13の表面までの第1深さT1は絶縁体膜パターン27の表面から第2ゲート絶縁膜17の表面までの第2深さT2より浅い。

【0016】一方、化学機械的研磨阻止膜パターン21a'、21bの側壁は図5に示されたように傾斜したプロファイルを示す。これは、絶縁体膜が高密度プラズマ酸化膜で形成される場合に、化学機械的研磨阻止膜パタ

ーン21a'、21bの上部コーナーがエッチングされるためである。図6を参照すると、化学機械的研磨阻止膜パターン21a'、21bを除去した後、絶縁体膜パターン27をリセスさせて素子分離膜27a又は27bを形成する。この際、絶縁体膜パターン27をリセスさせる工程は非常に精密に調節されなければならない。詳しくは、第1ゲート絶縁膜13の上部表面より高表面を有する第1素子分離膜27aを形成すると、後続工程でセルアレイ領域bに形成される浮遊ゲートの間にストリンガ(stringer)が形成される問題点を誘発させる。又、第1ゲート絶縁膜13の上部表面より低表面を有する第2素子分離膜27bを形成すると、後続工程で形成される高電圧トランジスタのゲート電極と第1活性領域1aとの絶縁破壊特性(dielectric breakdown characteristic)が劣化される問題点を誘発させる。特に、第2素子分離膜27bの表面27"が第2ゲート絶縁膜17の上部表面と同一な高さを有する場合に、浮遊ゲートの間のストリンガは完全に除去できるが、高電圧トランジスタのゲート絶縁膜特性が顕著に劣化される。

【0017】図7、図8、図9(A)及び図9(B)は第1素子分離膜27Aの表面(図6の27')が第1ゲート絶縁膜13の上部表面と同一な高さを有する場合に、従来技術の問題点を説明するための断面図である。ここで、図9(A)及び図9(B)は各々図1のI-I及びII-IIによる断面図である。図7を参照すると、第1素子分離膜27aが形成された結果物全面に第2導電膜29を形成する。第2導電膜29上に高電圧トランジスタ領域aの全面及びセルアレイ領域bの第2活性領域1bを覆う第2フォトレジストパターン31を形成する。

【0018】図8を参照すると、第2フォトレジストパターン31をエッチングマスクとして使用して第2導電膜29をエッチングしてセルアレイ領域bの第1素子分離膜27aを露出させる第2導電膜パターンを形成する。第2導電膜パターンは高電圧トランジスタ領域aの全面を覆う第2導電膜パターン29aとセルアレイ領域bの第2活性領域1bを覆う第2導電膜パターン29bとで構成される。第2導電膜パターン29a、29bが形成された結果物全面にゲート層間絶縁膜33及び第3導電膜35を順次に形成する。

【0019】図9(A)及び図9(B)を参照すると、第3導電膜35、ゲート層間絶縁膜33、第2導電膜パターン29a、29b及び第1導電膜パターン19a、19bを連続的に異方性エッチングして第1活性領域1aを横切る第1ゲートパターンGP1及び第2活性領域1bを横切る第2ゲートパターンGP2を形成する。この際、図9(A)に示すように、第2ゲートパターンGP2の両側の第2活性領域1bの縁部にストリンガ19sが残存する。ストリンガ19sは第1導電膜パターン

19bの傾斜した側壁に起因して形成される。第1素子分離膜27aの表面が高いほどストリンガ19sを除去するのがさらに難しい。

【0020】第1ゲートパターンGP1は順次に積層された第1ゲート電極30a、第1ゲート層間絶縁膜33a及び第1ダミーゲート電極35aで構成される。又、第1ゲート電極30aは第1ゲート絶縁膜13の所定領域を覆う第1導電膜パターンの一部分19a'及び第1導電膜パターンの一部分19a'を覆う第2導電膜パターンの一部分29a'で構成される。これと同様に、第2ゲートパターンGP2は順次に積層された浮遊ゲートFG、第2ゲート層間絶縁膜33b及び制御ゲート電極CGで構成される。浮遊ゲートFGは第2ゲート絶縁膜17の所定領域を覆う第1導電膜パターンの一部分19b'及び第1導電膜パターンの一部分19b'を覆う第2導電膜パターンの一部分29b'で構成される。

【0021】これに付加し、第1ゲートパターンGP1及び第2ゲートパターンGP2の側壁に通常の方法でシリコン窓過膜スペーサ(図示せず)を形成すると、図9(A)に示すように、ストリンガ19sの側壁にスペーサ残余物37が形成される。これは、第2活性領域1b及びその周辺の第1素子分離膜27aの間に段差が存在するためである。従って、後続工程で第2ゲートパターンGP2の両側の第2活性領域1b上にコンタクトホールを形成する場合に、コンタクトホールにより露出される第2活性領域1bの面積が縮む。

【0022】図10、図11、図12(A)及び図12(B)は第2素子分離膜27bの表面(図6の27")が第2ゲート絶縁膜17の上部表面と同一な高さを有する場合に、従来技術の問題点を説明するための断面図である。ここで、図12(A)及び図12(B)は各々図1のI-I及びII-IIによる断面図である。図10、図11、図12(A)及び図12(B)を参照すると、第2素子分離膜27bが形成された結果物全面に図7、図8、図9(A)及び図9(B)で説明した方法と同一の方法で第1ゲートパターンGP1及び第2ゲートパターンGP2を形成する。ここで、第1導電膜パターン19a、19bの側壁が傾斜したプロファイルを示しても、第2ゲートパターンGP2の両側の第2活性領域1bに

図9Aで示されたストリンガ19sが残存しない。これは、第2素子分離膜27bの表面が第2ゲート絶縁膜17の上部表面と同一な高さを有するためである。言い換えるれば、第2ゲート絶縁膜17上に形成された第1導電膜パターン19bの側壁全体が第2導電膜29と接触されるためである。しかし、図12(B)に示すように、第1活性領域1aの縁部Wで第1ゲート絶縁膜13の有効厚さ(effective thickness)が縮まる。これは、第2導電膜29を形成する前に第1ゲート絶縁膜13の側壁が露出されるためである。

【0023】前述したように従来の技術によると、第1

ゲート絶縁膜及び第2ゲート絶縁膜がフォトレジスト膜により汚染される現象が防止できる。しかし、トレンチ領域内に形成された絶縁体膜パターンの最適リセス条件を求めていく。トレンチ領域の側壁が垂直なプロファイルを示しても、素子分離膜の表面は少なくとも第1ゲート絶縁膜の上部表面より高くなければならない。これにより、第1ゲート絶縁膜及び第2ゲート絶縁膜の表面段差が増加するほど絶縁体膜パターンのリセス工程余裕度は減少する。又、トレンチ領域の側壁が過剰な傾斜を示す場合には、ストリンガ発生を抑制するために素子分離膜の表面が第1ゲート絶縁膜の上部表面より低くなければならない。しかし、素子分離膜の表面が第1ゲート絶縁膜の上部表面より低ければ、第1ゲート絶縁膜の有効厚さが縮む問題点が発生する。

【0024】本発明の目的は、相異なる厚さを有するゲート絶縁膜の上部表面段差を最小化させて高信頼性を有する半導体素子を提供することにある。本発明の他の目的は、相異なる厚さを有するゲート絶縁膜の上部表面段差を減少させて素子分離膜を形成する工程に対する余裕度を増加させ得る半導体素子の製造方法を提供することにある。本発明のさらに他の目的は、隣り合うゲート電極の間にストリンガが発生する現象を抑制させ得る半導体素子の製造方法を提供することにある。本発明のさらに他の目的は、相異なる厚さを有するゲート絶縁膜の破壊特性を改善させ得る半導体素子の製造方法を提供することにある。

#### 【0025】

【課題を解決するための手段】この目的を達成するため、本発明による半導体素子は、少なくとも一つの第1活性領域及び第1活性領域より高表面を有する少なくとも一つの第2活性領域で構成されて半導体基板の所定領域に限定された複数の活性領域と、第1活性領域上に形成された第1ゲート絶縁膜と、第2活性領域上に第1ゲート絶縁膜より薄厚で形成された第2ゲート絶縁膜と、複数の活性領域の間に形成された素子分離領域と、素子分離領域を充填する素子分離膜とを備えることを特徴とする。

【0026】第1ゲート絶縁膜の上部表面及び第2ゲート絶縁膜の上部表面の段差は、第1ゲート絶縁膜及び第2ゲート絶縁膜の厚み差より小さいことが望ましい。又、素子分離領域の底は第1活性領域の表面より低いのが望ましい。素子分離領域は半導体基板が所定の深さでエッティングされたトレンチ領域であることが望ましい。

【0027】素子分離膜は、第1及び第2ゲート絶縁膜の側壁全体を完全に覆うことが望ましい。本発明の他の目的を達成するために、本発明の一態様( one aspect)による半導体素子の製造方法は、半導体基板の所定領域に半導体基板の主表面より低い下部面を有する第1ゲート絶縁膜を形成する段階と、第1ゲート絶縁膜と隣接した半導体基板の主表面に第1ゲート絶縁膜よ

り薄い第2ゲート絶縁膜を形成する段階と、第1及び第2ゲート絶縁膜を有する半導体基板全面に第1導電膜及び化学機械的研磨阻止膜を順次に形成する段階と、化学機械的研磨阻止膜、第1導電膜、第1及び第2ゲート絶縁膜、及び半導体基板を連続的にエッティングして第1ゲート絶縁膜の下部及び第2ゲート絶縁膜の下部に各々第1及び第2活性領域を限定するトレンチ領域を形成する段階と、トレンチ領域内に絶縁体膜パターンを形成する段階と、各活性領域の上部に残存する化学機械的研磨阻止膜パターンを除去する段階と、絶縁体膜パターンをリセスさせて素子分離膜を形成する段階とを含むことを特徴とする。

【0028】第1及び第2ゲート絶縁膜は熱酸化膜で形成するのが望ましい。絶縁体膜パターンは第1及び第2ゲート絶縁膜の側壁全体( entire sidewall s )が露出されないようにリセスされることが望ましい。本発明の他の目的を達成するために、本発明の他の態様による半導体素子の製造方法は、半導体基板上に複数のパッドパターンを形成する段階と、パッドパターンをエッティングマスクとして使用して半導体基板をエッティングして少なくとも一つの第1活性領域及び少なくとも一つの第2活性領域を限定するトレンチ領域を形成する段階と、トレンチ領域を充填する絶縁体膜パターンを形成する段階と、第1活性領域上のパッドパターンを除去して第1活性領域を選択的に露出させる段階と、第1活性領域の表面に第2活性領域の表面より低い下部面を有する第1ゲート絶縁膜を形成する段階と、第2活性領域の表面に第1ゲート絶縁膜より薄い第2ゲート絶縁膜を形成する段階とを含むことを特徴とする。第1ゲート絶縁膜の下部面は第2ゲート絶縁膜の下部面より低いことが望ましい。又、第1及び第2ゲート絶縁膜は熱酸化膜で形成することが望ましい。

#### 【0029】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施形態を詳細に説明する。先ず、図1及び図32を参照して本発明による半導体素子の構造を説明する。ここで、図32は図1のII-IIによる断面図である。図32で、参照符号“a”で表示した部分は図1の高電圧トランジスタ領域aを示し、参照符号“b”で表示した部分は図1のセルアレイ領域bを示す。高電圧トランジスタ領域aはNAND型フラッシュメモリ素子の周辺回路領域の一部分に該当し、セルアレイ領域bはNAND型フラッシュメモリ素子のセルアレイ領域の一部分に該当する。しかし、本発明はNAND型フラッシュメモリ素子に限定されず、相異なる厚さを有する2種類以上のゲート絶縁膜を使用する全ての半導体素子に適用するのが可能である。従って、セルアレイ領域bは低電圧トランジスタ領域a及びセルアレイ領域bの以外に低電圧トランジスタ領域を附加的に含むこともできる。

【0030】図32を参照すると、半導体基板301、例えばシリコン基板の所定領域に複数の活性領域を限定する素子分離領域307が形成される。複数の活性領域は高電圧トランジスタ領域aの所定領域に限定された少なくとも一つの第1活性領域1a及びセルアレイ領域bの所定領域に限定された少なくとも一つの第2活性領域1bで構成される。

【0031】第1活性領域1aの表面は第2活性領域1bの表面より低い。素子分離領域307の底は第1活性領域1aの表面より低いことが望ましい。素子分離領域307は半導体基板301をエッティングすることにより形成されたトレンチ領域であることが望ましい。第1活性領域1a上に第1ゲート絶縁膜305aが位置する。又、第2活性領域1b上に第1ゲート絶縁膜305aよりも薄い第2ゲート絶縁膜305bが位置する。第1ゲート絶縁膜305aの上部表面及び第2ゲート絶縁膜305bの上部表面の段差は第1ゲート絶縁膜305a及び第2ゲート絶縁膜305bの厚み差より小さいことが望ましい。一番望ましくは、第1ゲート絶縁膜305aの上部表面は第2ゲート絶縁膜305bの上部表面と同一な高さを有する。言い換えれば、第1ゲート絶縁膜305aの厚さは第1活性領域1aの表面及び第2活性領域1bの表面の段差Dと第2ゲート絶縁膜305bとの厚みを合わせた値と同一なことが一番望ましい。

【0032】素子分離領域307内に素子分離膜309が充填される。素子分離膜309は第1ゲート絶縁膜305a及び第2ゲート絶縁膜305bの側壁全体を覆うことが望ましい。言い換えれば、素子分離膜309の表面は第1及び第2ゲート絶縁膜305a、305bの上部面の中最高の表面と同一か又はそれより高いのが望ましい。素子分離膜309及び半導体基板301の間に薄い熱酸化膜311が介在されることもできる。熱酸化膜311は素子分離領域307、即ちトレンチ領域に加えられたエッティング損傷を治癒するために形成する。

【0033】第1ゲート絶縁膜305aの所定領域上に第1活性領域1aを横切る第1ゲートパターンGP1が位置する。第1ゲートパターンGP1は順次に積層された第1ゲート電極313a、第1ゲート層間絶縁膜315a及び第1ダミーゲート電極317aで構成される。又、第2ゲート絶縁膜305bの所定領域上に第2活性領域1bを横切る第2ゲートパターンGP2が位置する。第2ゲートパターンGP2は順次に積層された浮遊ゲートFG、第2ゲート層間絶縁膜315b及び制御ゲート電極CGで構成される。ここで、制御ゲート電極CGは隣り合う複数の第2活性領域1bを横切る反面、浮遊ゲートFGは制御ゲート電極CG及び第2活性領域1bが重疊される領域にのみ位置する。

【0034】一方、セルアレイ領域bが低電圧トランジスタ領域の場合、第2ゲートパターンGP2は順次に積層された第2ゲート電極、第2ゲート層間絶縁膜及び第

2ダミーゲート電極で構成される。ここで、第2ゲート電極は浮遊ゲートFGとは違って第2ダミーゲート電極と完全に重疊される。次に、本発明による半導体素子の製造方法を説明する。

【0035】図13乃至図23は本発明の一実施形態による半導体素子の製造方法を説明するための断面図である。ここで、図23(A)は図1のI-Iによる断面図であり、図23(B)は図1のII-IIによる断面図である。又、各図において、参照符号“a”及び“b”で表示した部分は各々高電圧トランジスタ領域及びセルアレイ領域を示す。

【0036】図13を参照すると、半導体基板101、例えばシリコン基板の主表面上にパッド酸化膜103、パッド塗化膜105及びマスク酸化膜107を順次に形成する。パッド酸化膜103は半導体基板101を熱酸化させて形成し、パッド塗化膜105はCVDシリコン塗化膜で形成する。又、マスク酸化膜107はパッド塗化膜105に対して湿式エッティング選択比を有する物質膜、例えばCVD酸化膜で形成するのが望ましい。パッド酸化膜103は200Å以下の厚み、望ましくは100Å以下の薄膜で形成し、パッド塗化膜105は50Å乃至200Åの厚みで形成する。又、マスク酸化膜107は100Å乃至500Åの厚みで形成する。マスク酸化膜107上に高電圧トランジスタ領域a、即ち第1領域を露出させる第1フォトレジストパターン109を形成する。

【0037】図14を参照すると、第1フォトレジストパターン109をエッティングマスクとして使用してマスク酸化膜107をエッティングしてセルアレイ領域b、即ち第2領域を覆うバーニングされたマスク酸化膜107aを形成する。マスク酸化膜107はフッ酸(hydrofluoric acid; HF)溶液又は緩衝酸化膜エッティング溶液(buffered oxide etchant; BOE)を使用する湿式エッティング工程にエッティングするのが望ましい。これは、マスク酸化膜107を乾式エッティング工程にエッティングする場合に半導体基板101の表面にエッティング損傷が加えられることができるためである。続いて、第1フォトレジストパターン109を除去する。

【0038】図15を参照すると、バーニングされたマスク酸化膜107aをエッティングマスクとして使用して高電圧トランジスタ領域aのパッド塗化膜105を選択的にエッティングしてセルアレイ領域bを覆うバーニングされたパッド塗化膜105aを形成する。パッド塗化膜105やはり半導体基板101にエッティング損傷が加えられる現象を防止するために磷酸(phosphoric acid)溶液を使用する湿式エッティング工程にエッティングすることが望ましい。続いて、バーニングされたパッド塗化膜105aをエッティング阻止膜として使用して高電圧トランジスタ領域aのパッド酸化膜1

03を湿式エッチングしてセルアレイ領域bを覆うパターニングされたパッド酸化膜103aを形成する。この際、パターニングされたマスク酸化膜107aが除去され、高電圧トランジスタ領域aの半導体基板101が選択的に露出される。

【0039】一方、図13でパッド窒化膜105上にマスク酸化膜107を形成する工程を省略することもできる。この際、第1フォトレジストパターン109をエッチングマスクとして使用してパッド窒化膜105を湿式エッチングする間第1フォトレジストパターン109及びパッド窒化膜105の間の接着力が優れなければならぬ。

【0040】図16を参照すると、高電圧トランジスタ領域aの半導体基板101が露出された結果物を熱酸化させて高電圧トランジスタ領域aの半導体基板101の表面に第1ゲート絶縁膜111、即ち第1ゲート酸化膜を形成する。この際第1ゲート絶縁膜111は図16に示されたように熱酸化工程の特性に起因して半導体基板101の主表面より低い下部面を有する。しかし、第1ゲート絶縁膜111の上部面は半導体基板101の主表面より高い。従って、パターニングされたパッド窒化膜105aをエッチングマスクとして使用して第1ゲート絶縁膜111を湿式エッチング工程にリセスさせることにより、第1ゲート絶縁膜111の上部面を半導体基板101の主表面の高さに近い表面Fへ低めることもできる。従って、第1ゲート絶縁膜111はリセス工程を考慮して最終的に所望の厚みより厚く形成するのが望ましい。例えば、高電圧トランジスタが350Åのゲート絶縁膜が要求される場合に第1ゲート絶縁膜111は少なくとも700Åより厚膜で形成するのが望ましい。この際、第1ゲート絶縁膜111を大略150Å乃至200Åの厚み程度にエッチングするのが望ましい。

【0041】一方、第1ゲート絶縁膜111を形成する前にパターニングされたパッド窒化膜105aをエッチングマスクとして使用して露出された半導体基板101を選択的に所定深さでエッチングする工程を追加で実施することもできる。このように高電圧トランジスタ領域aの半導体基板101をエッチングした後に熱酸化工程を通じて第1ゲート絶縁膜111を形成すると、第1ゲート絶縁膜111をリセスさせる工程を実施しなくても半導体基板101の主表面と殆ど同一な高さの上部面を有する第1ゲート絶縁膜111が形成できる。

【0042】図17を参照すると、パターニングされたパッド窒化膜105aは磷酸溶液を使用して除去する。その後、パターニングされたパッド酸化膜103aを湿式エッチング工程に除去してセルアレイ領域bの半導体基板101を露出させる。この際、第1ゲート絶縁膜111は少なくともパターニングされたパッド酸化膜103aの厚さほどリセスされる。従って、高電圧トランジスタ領域aに最終的に残存する第1ゲート絶縁膜111

aは大略350Å乃至400Åの所望の厚みを有する。結果的に第1ゲート絶縁膜111aの上部面及び露出された半導体基板101の表面の段差Sは従来技術に比べて顕著に減少する。

【0043】他の方法に、図16で第1ゲート絶縁膜111をリセスさせる工程を省略することもできる。この場合には、パターニングされたパッド酸化膜103aを過度エッチングしてセルアレイ領域bの半導体基板101の表面と同一な高さを有する第1ゲート絶縁膜111aを形成することもできる。図18を参照すると、パターニングされたパッド酸化膜103aが除去された結果物を熱酸化させてセルアレイ領域bの半導体基板101表面に約80Å以下の薄い第2ゲート絶縁膜113、即ちトンネル酸化膜を形成する。これにより、第1ゲート絶縁膜111aの上部面及び第2ゲート絶縁膜113の上部面の間の段差を従来技術に比べて顕著に減少させ得る。第1ゲート絶縁膜111aの上部面は第2ゲート絶縁膜113の上部面と同一な高さを有することが一番望ましい。第2ゲート絶縁膜113が形成された結果物全20面に第1導電膜115及び化学機械的研磨阻止膜117を順次に形成する。第1導電膜115は500Å乃至1000Åのドーピングされたポリシリコン膜に形成するのが望ましく、化学機械的研磨阻止膜117は500Å乃至2000Åのシリコン窒化膜で形成するのが望ましい。

【0044】図19を参照すると、化学機械的研磨阻止膜117及び第1導電膜115を連続的にパターニングして高電圧トランジスタ領域a及びセルアレイ領域bに各々少なくとも一つの第1パッドパターン及び第2パッドパターンを形成する。第1パッドパターンは高電圧トランジスタ領域aの所定領域上に順次に積層された第1導電膜パターン115a及び化学機械的研磨阻止膜パターン117aで構成される。これと同様に、第2パッドパターンはセルアレイ領域bの所定領域上に順次に積層された第1導電膜パターン115b及び化学機械的研磨阻止膜パターン117bで構成される。

【0045】化学機械的研磨阻止膜パターン117a、117bをエッチングマスクとして使用してゲート絶縁膜111a、113を乾式エッチングして半導体基板101を露出させる。続けて、露出された半導体基板101を乾式エッチングして高電圧トランジスタ領域a及びセルアレイ領域bに各々少なくとも一つの第1活性領域1a及び少なくとも一つの第2活性領域1bを限定する素子分離領域119、即ちトレンチ領域を形成する。

【0046】トレンチ領域が形成された結果物を熱酸化させてトレンチ領域の側壁及び底に熱酸化膜121aを形成する。この際、第1導電膜パターン115a、115b、ポリシリコンパターンの側壁にも熱酸化膜121bが形成される。熱酸化膜121a、121bはトレンチ領域を形成する間半導体基板101に加えられたエッ

チング損傷を治癒するために形成することである。

【0047】図20を参照すると、阻止分離領域119及び熱酸化膜121a、121bが形成された結果物全面に素子分離領域119を充填する絶縁体膜を形成する。絶縁体膜は高密度プラズマ酸化膜に形成するのが望ましい。高密度プラズマ工程は反復的に実施される蒸着工程及びエッティング工程によりなる。従って、高密度プラズマ工程は優秀なギャップ充填特性(*gap filling characteristic*)を示す。又、絶縁体膜を高密度プラズマ酸化膜に形成すると、化学機械的研磨阻止膜パターン117a、117bの側壁が傾斜したプロファイルを示す。これは、高密度プラズマ工程中に反復的に実施されるエッティング工程に起因するためである。

【0048】化学機械的研磨阻止膜パターン117a、117bが露出される時まで絶縁体膜は化学機械的研磨工程を使用して平坦化させる。その結果、素子分離領域119内に絶縁体膜パターン123が形成される。この際、化学機械的研磨阻止膜パターン117aの上部面から第1ゲート絶縁膜111aの上部面までの第1深さT<sub>1'</sub>及び化学機械的研磨阻止膜パターン117bの上部面から第2ゲート絶縁膜111bの上部面までの第2深さT<sub>2'</sub>の間の差は従来技術に比べて顕著に減少される。これは、図18に示されたように、第1ゲート絶縁膜111aの上部面及び第2ゲート絶縁膜113の上部面の間の段差が従来技術に比べて小さいためである。一番望ましくは、第1深さT<sub>1'</sub>は第2深さT<sub>2'</sub>と同一であることである。

【0049】図21を参照すると、化学機械的研磨阻止膜パターン117a、117bを除去した後、絶縁体膜パターン123をリセスさせて素子分離膜123aを形成する。この際、第1深さT<sub>1'</sub>が第2深さT<sub>2'</sub>より浅ければ、絶縁体膜パターン123は第1深さT<sub>1'</sub>ほどエッティングするのが望ましい。これとは違って、第1深さT<sub>1'</sub>が第2深さT<sub>2'</sub>より深ければ、絶縁体膜パターン123は第2深さT<sub>2'</sub>程度にエッティングするのが望ましい。結果的に、素子分離膜123aは第1及び第2ゲート絶縁膜111a、113の側壁全体を覆わなければならない。

【0050】第1深さT<sub>1'</sub>及び第2深さT<sub>2'</sub>の間の差が減少するほど絶縁体膜パターンをリセスさせる工程に対する余裕度は従来技術に比べて増加する。例えば、本発明による実施形態で第1深さT<sub>1'</sub>が第2深さT<sub>2'</sub>と同一なら、絶縁体膜パターン123の最大リセス限界(*maximum recessing limit*)は“第1深さT<sub>1'</sub>”又は“第2深さT<sub>2'</sub>”である。これに反して、図5に示されたように、従来の技術による絶縁体膜パターン27の最大リセス限界は第1深さT<sub>1</sub>である。ここで、図5の第1深さT<sub>1</sub>は本発明の第1深さT<sub>1'</sub>又は第2深さT<sub>2'</sub>より浅い。これは、

図5の化学機械的研磨阻止膜パターン21a'の厚みが第1ゲート絶縁膜13及び第2ゲート絶縁膜17の厚み差に起因して化学機械的研磨工程を実施する間減少されるためである。

【0051】素子分離膜123aが形成された結果物全面に第2導電膜125、例えばドーピングされたポリシリコン膜を形成する。第2導電膜125が形成された結果物上に図1の浮遊ゲート隔離パターン3が描かれたフォトマスクを使用して第2フォトレジストパターン127を形成する。第2フォトレジストパターン127は図21に示されたように高電圧トランジスタ領域aの全面と、セルアレイ領域bの第2活性領域1bを覆う。

【0052】図22を参照すると、第2フォトレジストパターン127をエッティングマスクとして使用して第2導電膜をエッティングして高電圧トランジスタ領域aの全面を覆う第2導電膜パターン125a及び第2活性領域1bを覆う第2導電膜パターン125bを形成する。続けて、第2フォトレジストパターン127を除去する。

【0053】一方、図示しないが、第2ゲート絶縁膜13と同一な厚みのゲート絶縁膜を使用する低電圧トランジスタ領域の全面は高電圧トランジスタ領域aと同様に第2フォトレジストパターン127により覆われる。結果的に、第2フォトレジストパターン127はただセルアレイ領域bの第2導電膜125をパテーニングするために形成される。

【0054】図23(A)及び図23(B)を参照すると、第3導電膜131、ゲート層間絶縁膜129、第2導電膜パターン125a、125b及び第1導電膜パターン115a、115bを連続的にパテーニングして第1活性領域1aを横切る第1ゲートパターンGP1及び第2活性領域1bを横切る第2ゲートパターンGP2を形成する。従って、第1ゲートパターンGP1は順次に積層された第1ゲート電極126a、第1ゲート層間絶縁膜129a及び第1ダミーゲート電極131aで構成される。ここで、第1ゲート電極126aは第1ゲート絶縁膜111aの所定領域上に残存する第1導電膜パターンの一部分115a'及び第1導電膜パターンの一部分115a'を覆う第2導電膜パターンの一部分125a'で構成される。

【0055】又、第2ゲートパターンGP2は順次に積層された第2ゲート電極126b、第2ゲート層間絶縁膜129b及び第2ダミーゲート電極131bで構成される。ここで、第2ゲート電極126bは第2ゲート絶縁膜111bの所定領域上に残存する第2導電膜パターンの一部分125b'及び第2導電膜パターンの一部分125b'を覆う第3導電膜パターンの一部分131b'で構成される。

【0056】又、第2ゲートパターンGP2は順次に積層された第2ゲート電極126b、第2ゲート層間絶縁膜129b及び第2ダミーゲート電極131bで構成される。ここで、第2ゲート電極126bは第2ゲート絶縁膜111bの所定領域上に残存する第2導電膜パターンの一部分125b'及び第2導電膜パターンの一部分125b'を覆う第3導電膜パターンの一部分131b'で構成される。

層された浮遊ゲートFG、第2ゲート層間絶縁膜129b及び制御ゲート電極CGで構成される。ここで、浮遊ゲートFGは第2ゲート絶縁膜113の所定領域上に残存する第1導電膜パターンの一部分115b'及び第1導電膜パターンの一部分115b'を覆う第2導電膜パターンの一部分125b'で構成される。

【0056】一方、低電圧トランジスタ領域に形成されるゲートパターンは第1ゲートパターンGP1と同一な構造を有する。さらに詳しく、低電圧トランジスタ領域のゲートパターンは順次に積層されたゲート電極、ゲート層間絶縁膜及びダミーゲート電極で構成される。前述したように、第1ゲート絶縁膜111aの上部面及び第2ゲート絶縁膜113の上部面の段差を減少させると、絶縁体膜パターン123の最大リセス限界が増加する。従って、図23(B)に示すように、第1及び第2ゲート絶縁膜111a、113の不良が防止できる工程余裕度を増加させ得る。又、第1導電膜パターン(図19の115a及び115b)の側壁が傾斜したプロファイルを示しても、図23(A)に示すように、第1及び第2ゲートパターンGP1、GP2両側の活性領域1a、1bの上部に第1導電膜パターン115a、115bの残余物、即ちストリンガが残存しない。結果的に、本発明の実施形態は第1及び第2ゲート絶縁膜の特性劣化は勿論ストリンガの発生を抑制させ得る最適の工程条件を提供する。

【0057】図24乃至図31は、本発明の他の実施形態による半導体素子の製造方法を説明するための断面図である。ここで、図31(A)は図1のI-Iによる断面図であり、図32(B)は図1のII-IIによる断面図である。又、各図において、参照符号“a”及び“b”で表示した部分は各々高電圧トランジスタ領域及びセルアレイ領域を示す。

【0058】図24を参照すると、半導体基板201、例えば、シリコン基板上に100Å乃至200Åのパッド酸化膜及び500Å乃至1000Åのパッド窒化膜を順次に形成する。パッド窒化膜及びパッド酸化膜を連続的にパターニングして高電圧トランジスタ領域a及びセルアレイ領域bに各々少なくとも一つのパッドパターン206を形成する。各パッドパターン206は順次に積層されたパッド酸化膜パターン203及びパッド窒化膜パターン205で構成される。パッドパターン206をエッティングマスクとして使用して半導体基板201をエッティングして高電圧トランジスタ領域a及びセルアレイ領域bに各々少なくとも一つの第1活性領域1a及び少なくとも一つの第2活性領域1bを限定する素子分離領域207、即ちトレンチ領域を形成する。トレンチ領域が形成された結果物を熱酸化させてトレンチ領域の側壁及び底に熱酸化膜209を形成する。熱酸化工程はトレンチ領域を形成するための乾式エッティング工程を実施する間半導体基板に加えられたエッティング損傷を治癒する

ために実施する。

【0059】図25を参照すると、素子分離領域207が形成された結果物全面に素子分離領域207を充填する絶縁体膜を形成する。絶縁体膜は段差塗布性が優秀なCVD酸化膜で形成する。絶縁体膜は本発明の一実施形態と同一な方法で形成することもできる。パッド窒化膜パターン205が露出される時まで絶縁体膜を平坦化させて素子分離領域207内に絶縁体膜パターン211を形成する。平坦化工程は化学機械的研磨工程を使用して10実施することが望ましい。絶縁体膜パターン211が形成された結果物上に第1活性領域1aの上部のパッド窒化膜パターン205を露出させる第1フォトレジストパターン213を形成する。

【0060】図26を参照すると、第1フォトレジストパターン213により露出されたパッド窒化膜パターン205は磷酸溶液を使用して選択的に除去する。第1フォトレジストパターン213を除去する。続けて、第1活性領域1a上のパッド酸化膜パターン203は酸化膜エッチャリング溶液を使用して除去して第1活性領域1aを20露出させる。この際、絶縁体膜パターン211の一部がエッチャリングされて絶縁体膜パターン211の表面が低くなる。又、第1活性領域1aの縁部と接する絶縁体膜パターン211がエッチャリングされて第1リセスされた領域R1が形成される。これは、パッド酸化膜パターン203を完全に除去するために過度エッチャリングを実施するためである。しかし、過度エッチャリングはパッド酸化膜パターン203の厚さの50%以下に該当する厚さをターゲットで実施されるため第1リセスされた領域R1の深さは非常に浅い。

【0061】図27を参照すると、第1活性領域1aが露出された結果物を熱酸化させて第1活性領域1aの表面に第1ゲート絶縁膜215、即ち第1ゲート酸化膜を形成する。第1ゲート絶縁膜215はフラッシュメモリ素子のプログラム電圧及び消去電圧により駆動される高電圧トランジスタのゲート絶縁膜として使用されるため少なくとも300Åより厚膜に形成しなければならない。望ましくは、第1ゲート絶縁膜215は後続工程でリセスされる量を考慮して少なくとも500Åより厚く形成する。この際、第1ゲート絶縁膜215は熱酸化工程により形成されるため第1ゲート絶縁膜215の下部面は第2活性領域1bの表面より低い。言い換えれば、第1ゲート絶縁膜215を形成するために熱酸化工程を実施すると、第1活性領域1aの表面は低くなる。例えば、第1ゲート絶縁膜215を500Åの熱酸化膜に形成すると、第1活性領域1a及び第2活性領域1bの間に約200Å乃至250Åの段差Dが形成される。ここで、段差Dは後続工程で最終的に形成される第1ゲート絶縁膜及び第2ゲート絶縁膜の厚み差と同一なことが一番望ましい。

【0062】一番望ましくは、第1ゲート絶縁膜215

は第1活性領域1aの表面に熱酸化膜を形成した後、熱酸化膜を適切にリセスさせて形成する。この際、第1活性領域1a上に残存する第1ゲート絶縁膜215の表面Hは第2活性領域1bの表面より高いことが望ましい。又、熱酸化膜をリセスさせると、絶縁体膜パターン211の表面も低くなる。

【0063】図28を参照すると、第2活性領域1bの上部のパッド窒化膜パターン205及びその下のパッド酸化膜パターン203を順次に除去して第2活性領域1bを露出させる。この際、第1活性領域1a上に所望の厚さEを有する第1ゲート絶縁膜215aが形成され、トレンチ領域内に素子分離膜211aが形成される。第1ゲート絶縁膜215aの表面はやはり第2活性領域1bの表面より高いことが望ましい。又、第2活性領域1b上のパッド酸化膜パターン203を除去すると、第2活性領域1bの縁部と接する絶縁体膜パターン211がエッチングされて第2リセスされた領域R2が形成される。第2リセスされた領域R2やはり第1リセスされた領域R2が形成される。第2リセスされた領域R2やはり第1リセスされた領域R1と同様に浅い深さを有する。特に、第2リセスされた領域R2の深さは可能な深いことが望ましい。

【0064】図29を参照すると、第2活性領域1bが露出された結果物を熱酸化させて第2活性領域1bの表面に第2ゲート絶縁膜217、即ちトンネル酸化膜を形成する。トンネル酸化膜は80Åの以下の厚さで形成する。この際、第2ゲート絶縁膜217の上部面から第1活性領域1aの表面までの段差D'は第1ゲート絶縁膜215aの厚みと同一なことが一番望ましい。言い換えれば、第1ゲート絶縁膜215aの上部面は第2ゲート絶縁膜217の上部面と同一な高さを有することが一番望ましい。

【0065】第2ゲート絶縁膜217が形成された結果物全面に第1導電膜219を形成する。第1導電膜219はドーピングされたポリシリコン膜で形成するのが望ましい。第1導電膜219上に高電圧トランジスタ領域aの全面及び第2活性領域1bを覆う第2フォトレジストパターン221を形成する。図30を参照すると、第2フォトレジストパターン221をエッチングマスクとして使用して第1導電膜219をエッチングして高電圧トランジスタ領域aの全面を覆う第1導電膜パターン219a及び第2活性領域1bを覆う第1導電膜パターン219bを形成する。第2フォトレジストパターン221を除去する。

【0066】一方、図示しないが、第2ゲート絶縁膜217と同一な厚さのゲート絶縁膜を使用する低電圧トランジスタ領域の全面は高電圧トランジスタ領域aと同様に第2フォトレジストパターン221により覆われる。結果的に、第2フォトレジストパターン221は単にセルアレイ領域bの第1導電膜219のみをパターニング

(12) 22 するために形成される。

【0067】第2フォトレジストパターン221が除去された結果物の全面にゲート層間絶縁膜223及び第2導電膜225を順次に形成する。ゲート層間絶縁膜223は本発明の一実施形態のゲート層間絶縁膜129と同一な物質膜で形成する。又、第2導電膜225は本発明の一実施形態の第3導電膜131と同一な物質膜で形成する。

【0068】図31(A)及び図31(B)を参照すると、第2導電膜225及び第1導電膜パターン219a、219bを連続的にパターニングして第1活性領域1aを横切る第1ゲートパターンGP1及び第2活性領域1bを横切る第2ゲートパターンGP2を形成する。従って、第1ゲートパターンGP1は順次に積層された第1ゲート電極219a'、第1ゲート層間絶縁膜223a及び第1ダミーゲート電極225aで構成される。これと同様に、第2ゲートパターンGP2は順次に積層された浮遊ゲートFG、第2ゲート層間絶縁膜223b及び制御ゲート電極CGで構成される。この際、低電圧トランジスタ領域には第1ゲートパターンGP1と同一な構造を有するゲートパターンが形成される。言い換えれば、低電圧トランジスタ領域のゲートパターンは順次に積層されたゲート電極、ゲート層間絶縁膜及びダミーゲート電極で構成される。

【0069】一方、図31(A)に示すように、第1ゲートパターンGP1の両側の第1活性領域1a及び第2ゲートパターンGP2の両側の第2活性領域1bの上部にストリンガが形成されない。これは、本発明の他の実施形態では傾斜した側壁プロファイルを有する第1導電膜パターンの残余物(図19の115a及び115b)が形成されないためである。又、絶縁体膜パターン211を選択的に精密にリセスさせるための別途の工程が要求されない。

【0070】  
【発明の効果】前述したように本発明によると、第1ゲート絶縁膜の上部面及び第1ゲート絶縁膜より浅い第2ゲート絶縁膜の上部面の間の段差を最小化させ得る。これにより、自己整列トレンチ素子分離技術を使用するフラッシュメモリ素子の絶縁体膜パターンをリセスさせる工程に対する余裕度を増加させることは勿論、ゲートパターンの間の活性領域上にストリンガが形成されることが防止できる。

【0071】又、本発明によると、一般的なトレンチ素子分離技術を使用して第1及び第2活性領域を限定する素子分離膜を形成した後、第1活性領域及び第2活性領域に各々高電圧トランジスタ用ゲート絶縁膜及びセルトランジスタ用トンネル酸化膜はフォトレジスト膜を使用せず独立的に形成する。従って、第1及び第2ゲート絶縁膜がフォトレジスト膜により汚染される現象が防止できるだけではなく、ゲート絶縁膜の厚さ減少及びストリ

ンガ発生に起因する工程不良が解決できる。

【図面の簡単な説明】

【図1】一般的な多重ゲート絶縁膜を有する半導体素子の一部分を示す平面図である。

【図2】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図3】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図4】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図5】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図6】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図7】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図8】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図9】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図10】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図11】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図12】従来の多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図13】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図14】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図15】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図16】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図17】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図18】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図19】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図20】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図21】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図22】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図23】本発明の一実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

10 【図24】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図25】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図26】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

20 【図27】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図28】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図29】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

30 【図30】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図31】本発明の他の実施形態による多重ゲート絶縁膜を有する半導体素子の製造方法を説明するための断面図である。

【図32】本発明による多重ゲート絶縁膜を有する半導体素子を説明するための断面図である。

【符号の説明】

a 高電圧トランジスタ領域

b セルアレイ領域

1 a 第1活性領域

40 1 b 第2活性領域

3 0 1 半導体基板

3 0 5 a 第1ゲート絶縁膜

3 0 5 b 第2ゲート絶縁膜

3 0 7 素子分離領域

3 0 9 素子分離膜

3 1 1 热酸化膜

3 1 3 a 第1ゲート電極

3 1 5 a 第1ゲート層間絶縁膜

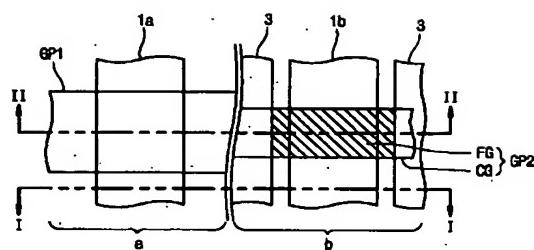
3 1 5 b 第2ゲート層間絶縁膜

50 3 1 7 a 第1ダミーゲート電極

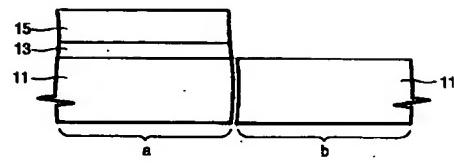
GP1 第1ゲートパターン  
GP2 第2ゲートパターン

FG 浮遊ゲート  
CG 制御ゲート電極

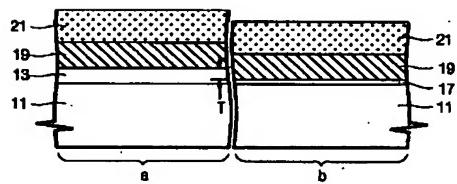
【図1】



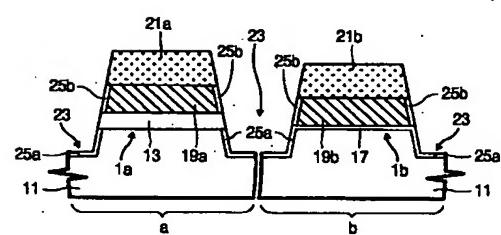
【図2】



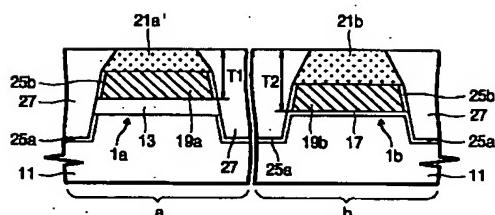
【図3】



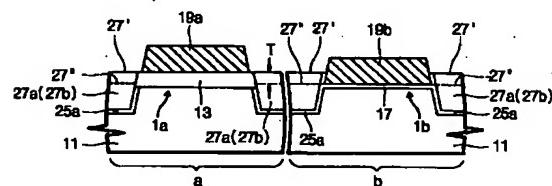
【図4】



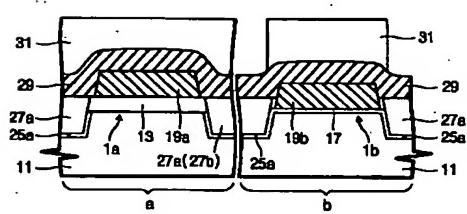
【図5】



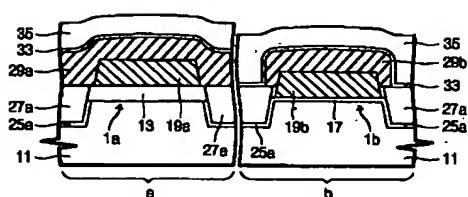
【図6】



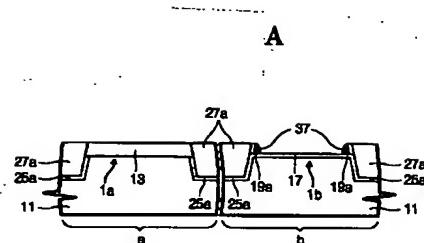
【図7】



【図8】

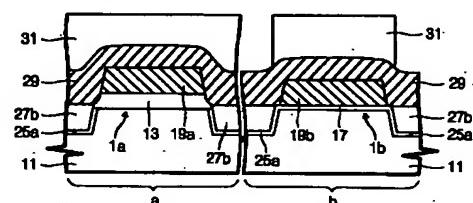


【図9】



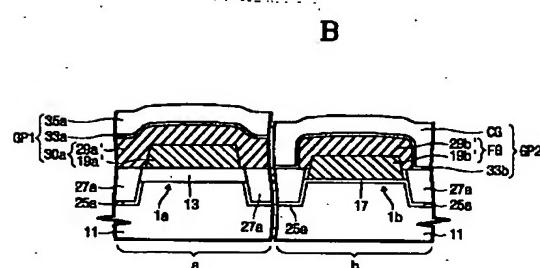
A

【図10】



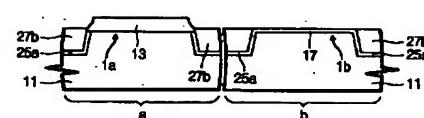
a b

【図12】

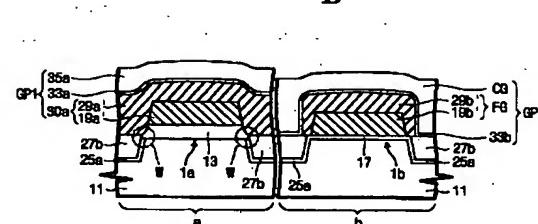
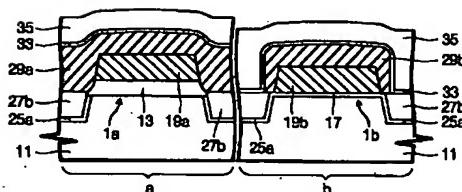


B

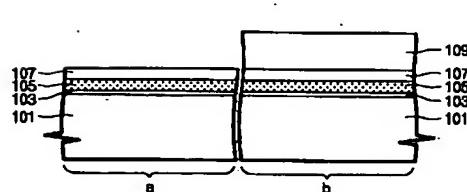
A



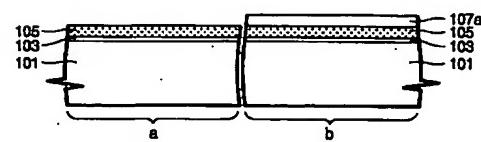
【図11】



【図13】

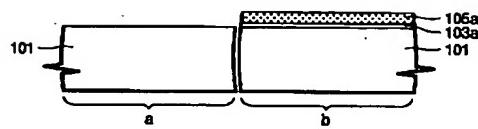


【図14】

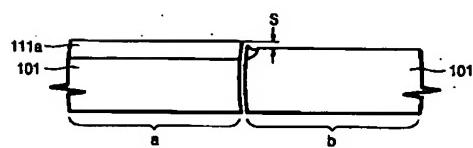


a b

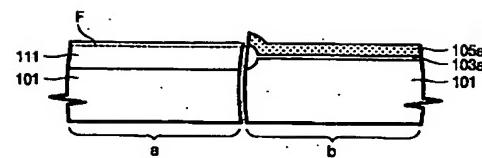
【図15】



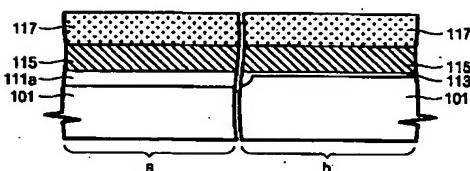
【図17】



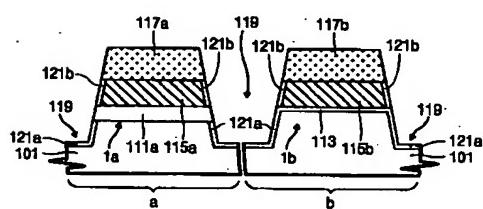
【図16】



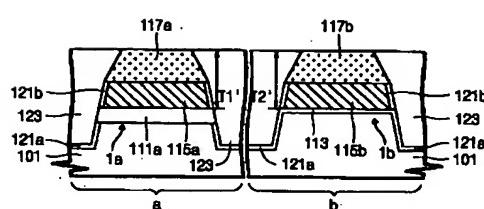
【図18】



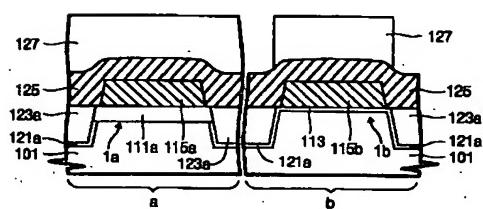
【図19】



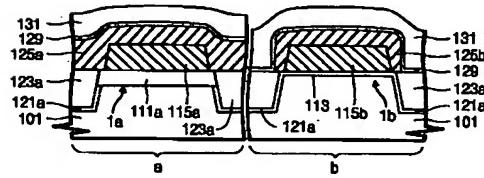
【図20】



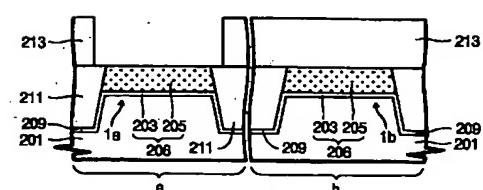
【図21】



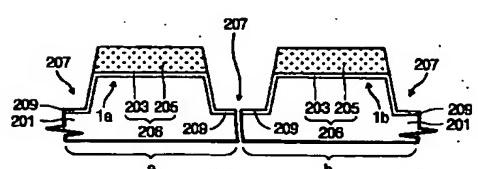
【図22】



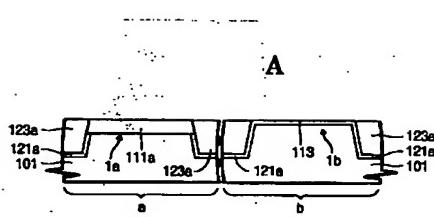
【図25】



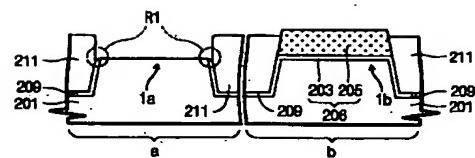
【図24】



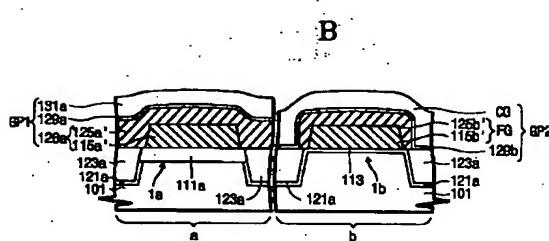
### 【図23】



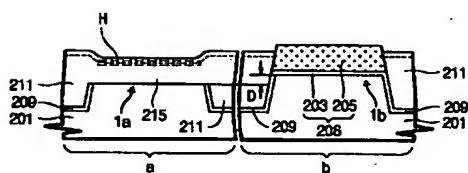
【図26】



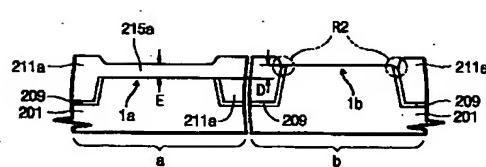
〔図29〕



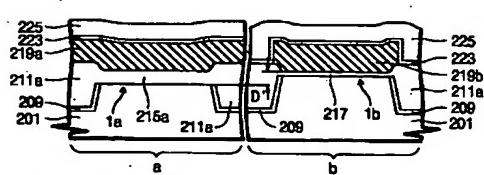
〔図27〕



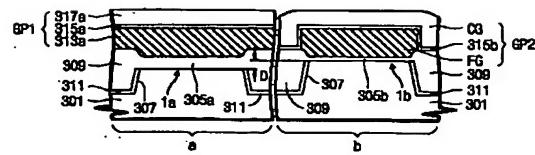
〔図28〕



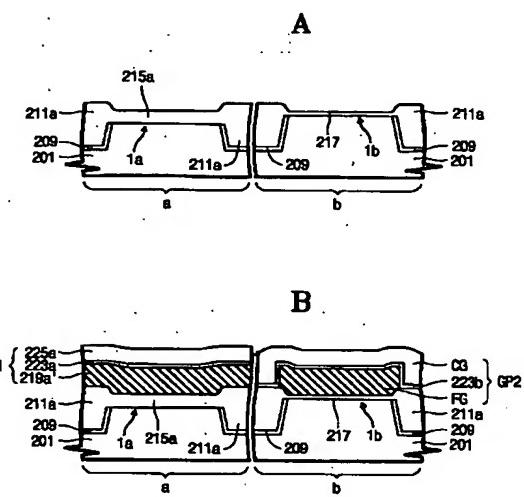
〔図30〕



〔図32〕



【図31】



## フロントページの続き

(72)発明者 金 凡洙

大韓民国京畿道龍仁市起興邑農西里山24番  
地

(72)発明者 申 有哲

大韓民国京畿道水原市八達区靈通洞ワンゴ  
ルタウン住公アパート1308棟1102号

(72)発明者 朴 奎燦

大韓民国京畿道平澤市松炭地域獨谷洞464  
番地ライファパート3棟1106号